

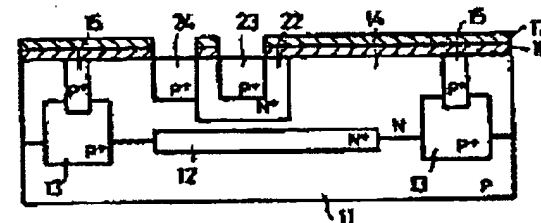
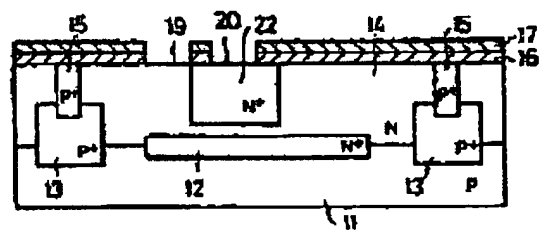
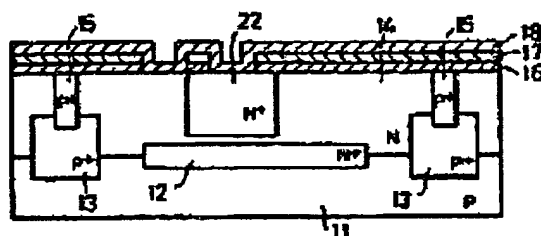
MANUFACTURING METHOD OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE WITH LATERAL TRANSISTOR

Patent number: JP55022875
Publication date: 1980-02-18
Inventor: SAIKAI HIROSHI
Applicant: MITSUBISHI ELECTRIC CORP
Classification:
- international: H01L29/10; H01L29/72
- european:
Application number: JP19780096895 19780808
Priority number(s): JP19780096895 19780808

Report a data error here

Abstract of JP55022875

PURPOSE: To improve the various characteristics of a lateral transistor by forming a base layer having a high impurity density, adjacent to a collector layer by implanting an ion or diffusion with an opening provided in an Si_3N_4 film and further by forming an emitter layer in the base layer by a self-matching with an opening. **CONSTITUTION:** An N-epi layer 14 on a P-type substrate 11 is separated by P \leftrightarrow layers 13 and 15. Openings 19 and 20 are provided for the lamination of an SiO_2 16 and Si_3N_4 17 over an N \leftrightarrow buried layer 12. An N \leftrightarrow base layer 22 is formed by covering selectively with the SiO_2 18, and buried under a high temperature condition. Next, the SiO_2 18 is removed and a P \leftrightarrow type emitter 23 and a collector 24 are made by self-matching. The N \leftrightarrow base layer of a lateral transistor obtained by such a process has a high accuracy and its impurity density becomes higher in the emitter region than in the collector region. Therefore, a resistance r_{bb} is lowered and a BV_{CEO} is increased because of non-occurrence of a punch-through even in the narrow base width. An hFE becomes great and an fT is also raised because an accelerating field may be formed in the base layer.



Data supplied from the esp@cenet database - Worldwide

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭55-22875

⑪ Int. Cl.³

H 01 L 29/72

29/10

識別記号

庁内整理番号

7514-5F

7514-5F

⑬ 公開 昭和55年(1980)2月18日

発明の数 1

審査請求 未請求

(全 7 頁)

⑭ ラテラルトランジスタを備えた半導体集積回路装置の製造方法

伊丹市瑞原4丁目1番地三菱電機株式会社北伊丹製作所内

⑮ 出 願 人 三菱電機株式会社

東京都千代田区丸の内2丁目2

番3号

⑯ 代 理 人 弁理士 葛野信一 外1名

⑰ 特 願 昭53-96895

⑱ 出 願 昭53(1978)8月8日

⑲ 発 明 者 西海宏

明 細 書

1. 発明の名称

ラテラルトランジスタを備えた半導体集積回路装置の製造方法

2. 特許請求の範囲

コレクタ領域とベース領域とエミッタ領域とを備え、前記ベース領域はコレクタ近傍のベース領域中の不純物濃度よりもエミッタ近傍のベース領域中の不純物濃度を高くするために、シリコン窒化膜で全面を覆い、このシリコン窒化膜の前記エミッタ領域となるところに窓をあけ、こゝから前記ベース領域中に拡散あるいはイオン注入法により前記コレクタ領域に接するように不純物濃度の高い高濃度ベース領域を形成し、その後、前記シリコン窒化膜を用いて前記高濃度ベース領域中に自己整合作用によりエミッタ領域を形成する工程を含むことを特徴とするラテラルトランジスタを備えた半導体集積回路装置の製造方法。

3. 発明の詳細な説明

この発明はラテラルトランジスタの製造方法に

関するもので、コレクタ・エミッタ間電圧 BV_{ceo} (以下に BV_{ceo} という)、電流増幅率 h_{FE} (以下に h_{FE} という)、電流利得帯域積 f_T (以下に f_T という)などの特性が改善されたラテラルトランジスタを備えた半導体集積回路装置の製造方法に関するものである。

バイポーラ I O の高電圧化がオーディオ用 I O、テレビ用 I O 等で盛られているが、これと同時に相補型の素子、すなわち NPN トランジスタと PNP トランジスタを共に備えたものが回路設計者側から強く盛られている。

高電圧のバイポーラ I O において、パーティカル NPN トランジスタは通常の P 形基板の上に N 形エピタキシャル層を成長させ、これをコレクタ領域として用いるという従来の方法で容易に作成できる。

しかし、パーティカル NPN トランジスタと相補な特性を持つ PNP トランジスタを P 形基板および N 形エピタキシャル層上に作成することは極めて困難であり、従来はパーティカル NPN トラ

ンジスタと同時に形成されるラテラルPNPトランジスタが使われている。

従来のラテラルPNPトランジスタは、高耐圧を得ることは容易であるが、通常エピタキシャル層をベースとして用いるため、均一薄層のベースとなり、空間電荷の影響もあつて、 f_T 、 h_{FE} ともに低く、極めて劣つていた。 f_T は $BV_{CEO} = 20$ [V]程度の低耐圧のもとでさえ1~5 MHz程度であつた。また、この f_T は高耐圧にしようとなればさらに下がつてしまつていたのが実情であつた。このため増幅器においては位相の回転が激しく、無信号時または出力クリップ時に異常発振を起す欠点を有していた。

従来のラテラルPNPトランジスタは、以上のような問題をもち、パーティカルPNPトランジスタと相補型のトランジスタとして用いるには特性が不十分であつた。以下さらに上記従来のラテラルPNPトランジスタについて説明する。

第1図(a)、(b)は従来のラテラルPNPトランジスタを示すものであつて、1は分離領域、2

(a)

隔が最も小さいデバイスの表面近傍で最も効果的に行われる。この最小間隔は、このデバイスの実効的なベース幅 W_B （以下単に W_B という）である。 W_B は6~12 μ m程度に制限される。この W_B の値は、パーティカルPNPトランジスタのそれ（ $W_B \approx 0.8 \mu$ ）よりはるかに大きい。このため、ラテラルPNPトランジスタの h_{FE} 、 f_T および BV_{CEO} はパーティカルPNPトランジスタよりはるかに劣る欠点があつた。ラテラルPNPトランジスタを製造する場合、 N^+ 形埋込層8がN形エピタキシャル層5-P形基板9界面に沿つてデバイスの下に設けられる。これはパーティカルPNPトランジスタの場合に用いられた N^+ 形埋込層と同じである。ラテラルPNPトランジスタの場合、この N^+ 形埋込層8はラテラルPNPトランジスタのエミッタ領域3とP形基板9間の寄生PNP動作を防止するため、およびPNPベース電流に対する低抵抗電流経路を用意するために用いられる。

(a)

特開昭55-22875(2)

はコレクタ領域、3はエミッタ領域、4はベース領域、5はN形エピタキシャル層、6はP形ベース拡散層、7は N^+ 形エミッタ低抵抗層、8は N^+ 形埋込層、9はP形基板である。

このデバイスのベース領域4はパーティカルPNPトランジスタのコレクタとして働くN形エピタキシャル層5で構成される。パーティカルPNPトランジスタ（図示せず）のP形ベース拡散層と同時に形成されるP形拡散層6がラテラルPNPトランジスタのエミッタ領域3およびコレクタ領域2を形成するのに使われる。パーティカルPNPトランジスタの N^+ 形エミッタ低抵抗層と同時に形成される N^+ 形低抵抗層7がラテラルPNPトランジスタのベースの N^+ 形接点領域を形成するために使われる。このような構造においては、トランジスタ動作はラテラル方向、いいかえればデバイス表面に平行な方向で起る。ベース領域4に注入された少数キャリアは、コレクタ領域2に向つてラテラル方向に拡散する。ベース領域4におけるキャリアの輸送は、コレクタ・エミッタ間

(b)

また、ラテラルPNPトランジスタの h_{FE} は、比較的劣つたエミッタ効率、広い W_B 、および表面再結合効果により制限される。そして、上記ラテラルPNPトランジスタのエミッタ効率は、2つの要因、すなわち、(1)P形エミッタの低不純物濃度、および(2)小実効エミッタ面積により特性が悪くなる欠点があつた。

後者の効果は、コレクタに対向する被方向エミッタ層だけが活性である（エミッタの他の部分から注入された正孔がコレクタに到達する確率はすつと低い）ことによるラテラルPNPトランジスタの欠点から生じている。ラテラルPNPトランジスタの殆んど電流はデバイス表面近傍に沿つて流れるから、ラテラルPNPトランジスタの h_{FE} は表面再結合効果の影響も非常に強く受ける。生産段階ではラテラルPNPトランジスタの h_{FE} の代表的な値は1.5~2.0程度で非常に劣つていた。さらに、ラテラルPNPトランジスタの f_T はベース逆行時間で支配され、次式で近似される。

$$f_T \approx (2.48) \frac{D_p}{W_B^2}$$

(b)

ここで、 D_F はベース領域4における正孔の拡散係数である。

代表的な従来のラテラルPNPトランジスタ構造の場合、前記 f_T の値は1~5 MHz程度で非常に劣っていた。

この発明は、上記のような従来のラテラルトランジスタを備えた半導体集積回路装置の欠点を除去するためになされたもので、キャリアの拡散を容易にするため、ベース内部の不純物濃度を一様にし、エミッタ近傍のみ勾配をつけて不純物濃度の低い方（抵抗が低い方）をエミッタ、高い方（抵抗が高い方）をコレクタとしたラテラルトランジスタを作ることにより、ベース内部に加速電界を作つてキャリアの走行時間を短かくして、 f_T を高くするとともに、ベースパンチスルーを起しにくくして BV_{CEO} を高くし、 W_B を狭くしても BV_{CEO} は下り難いので b_{FE} を高くし、ベース抵抗が抵抗 r_{BB} を下げて総合の高周波特性も著しく改善したラテラルトランジスタを備えた半導体集積回路装置を提供することを目的としている。以下

(7)

不純物濃度を上げ、低濃度のエピタキシャルベース層を有する従来のラテラルPNPトランジスタに比し、コレクタ側からの空乏層の伸びをおさえることが期待される。このような目的で試作したところ、ラテラルPNPトランジスタの W_B を 0.5μ で $100 V$ の非常に高い BV_{CEO} を得ることができ、しかもベースパンチスルーではなく、アブランシエブレイクダウンを起しており、不純物濃度勾配を有する高濃度ベース10を導入した効果が顕著にあらわれている。しかも傾斜ベース構造のため f_T が高く、 5.0 MHz も得られ、 b_{FE} も比較的高い値 100 以上が得られ、高周波パワイクアルPNPトランジスタと相補な素子として使用できるラテラルPNPトランジスタが得られた。

次にこの発明の製造方法の一実施例について説明する。

まず、第3図に示すような不純物濃度が $N_{ep1} \sim 5 \times 10^{14} \text{ cm}^{-3}$ であるP形(111)基板11上に第4図に示すようにN⁺形拡散層12およびP⁺形拡散層13を選択拡散した後、第5図のよ

特開昭55-22875(3)

この発明を図面によつて説明する。

まず、第2図(a)、(b)によつて従来のラテラルPNPトランジスタの不純物濃度分布について説明する。

第2図(a)は従来のラテラルPNPトランジスタのラテラル方向の不純物濃度分布を示し、第2図(b)は同じくこの発明のラテラルPNPトランジスタの不純物濃度分布を示す。また、第2図で2、3、4は第1図との対応部分を示し、10はこの発明のエミッタ近傍のベース不純物濃度を高くした不純物濃度勾配を有する高濃度ベースを示す。

第2図(b)のような不純物濃度分布は、ベース内部に加速電界を生じ、従来の低濃度均一ベースに比べてコレクタ・ベース接合に生じた空乏層がエミッタに到達しにくくせんとするものである。

この発明による高濃度ベース10は、ラテラルPNPトランジスタ、エミッタを含むベース領域に例えば、 N_{ep1} を $5 \times 10^{15} \text{ cm}^{-3}$ のドーザ量でイオン注入し、押込みむことによりベース領域の不

(8)

うにP形(111)基板11上にN形エピタキシャル層(以下ベース領域ともいう)14を成長させる。N形エピタキシャル層14の不純物濃度は、例えば $N_{ep1} = 3.5 \times 10^{14} \text{ cm}^{-3}$ であり、エピタキシャル層厚 $t_{ep1} = 2.72 \mu$ である。

次に第6図のようにN形エピタキシャル層14表面より、絶縁領域15のためのP形不純物を選択的にデポジットする。デポジットした領域を第7図のようにシリコン酸化膜16で覆い、 1200°C で3時間押し込んだ後、第8図のようにシリコン酸化膜16上にシリコン窒化膜17を膜厚 $1000 \sim 2000 \text{ \AA}$ 程度に形成する。次にラテラルPNPトランジスタのエミッタ、コレクタを含むベース領域のシリコン酸化膜16、シリコン窒化膜17に第9図のように窓18、20をあけ、さらに第10図のようにシリコン酸化膜16を形成する。次にラテラルPNPトランジスタのエミッタを含むベース領域のシリコン酸化膜16に第11図のように窓21を窓20よりも5 μ 程度大きくあけ、次に第12図のように境界の高濃度不

(9)

00

純物を750℃の拡散温度で拡散し、高濃度ベース領域22を形成する。拡散不純物表面濃度は、 $5 \times 10^{14} \sim 1 \times 10^{17} \text{ cm}^{-2}$ で行う。あるいは高濃度不純物として $^{31}\text{P}^+$ を加速電圧50 KeVでイオン注入する。ドーズ量は $5 \times 10^{11} \sim 1 \times 10^{14} \text{ cm}^{-2}$ で行う。

次に図21に第13図のようにシリコン酸化膜18を成長させて後、1200℃N₂雰囲気中15時間押し込みを行う。これにより各素子間の絶縁が図示のように行われる。

次にパーティカルNPNトランジスタのベース領域、エミッタ領域を通常の半導体集積回路の製作法で形成する(図示せず)。次に第15図のようにラテラルPNPトランジスタのエミッタ領域23とコレクタ領域24を高濃度ベース領域22に自己整合させるため、第14図のように弗化アンモニア液などでシリコン酸化膜18のみを選択的に除去すると再び窓18および窓20がシリコン酸化膜17をマスクとして得られる。次にラテラルPNPトランジスタのエミッタ領域23と

59

BV_{ceo}が大きくなり、また、ベース内部に加速電界ができるので、D_pが大きくなりh_{FE}が高くなるとともにW_Bが小さくできたことと併せてf_Tが高くなる。さらに、高濃度ベース領域22を導入したことにより、ベース表面再結合効果の影響を受けなくなったことによるh_{FE}の上昇も見込める。また、高周波での性能指数(F_TM_T)は、

$$F_T M_T \propto f_T / f_{\beta\beta'}$$

という形で表わされ、f_Tが高くなりf_{ββ'}が小さくなると高周波での性能指数(F_TM_T)は飛躍的に改善される。

なお、上記実施例ではラテラルPNPトランジスタについて説明したが、この発明はこれに限らず、ラテラルNPNトランジスタであつてもよく、この場合も上記実施例と同様の効果が得られる。

以上説明したようにこの発明によれば、ラテラルトランジスタのf_T、h_{FE}、BV_{ceo}を大きく改善できるので、パーティカルトランジスタとの組合せで極めて高性能を有する相補型の素子、すなわちNPNトランジスタとPNPトランジスタを

60

特開昭55-22875(4)

コレクタ領域24を第15図のようにしてパーティカルNPNトランジスタのベースと同時に形成する。シリコン酸化膜17を使うことによりラテラルPNPトランジスタのエミッタ領域23と高濃度ベース領域22のマスク合せズレが防止できる。ベース領域14のN⁺形成点領域25は第16図のようにパーティカルNPNトランジスタのN⁺形エミッタ拡散と同時に形成する。

以上のようにしてラテラルPNPトランジスタのコレクタ領域24、ベース領域14、エミッタ領域23、シリコン酸化膜17による高精度版さの高濃度ベース領域22が形成され、この発明によるラテラルPNPトランジスタを備えた半導体集積回路装置が作成される。

このようにして形成されたラテラルPNPトランジスタの不純物濃度分布は前述のように第2図(b)のようになり、エミッタ近傍のベース濃度は、コレクタ近傍のベース濃度よりも大きく、かつ精度よく取れるので、f_{ββ'}が小さくなるとともに、狭いW_Bでもベースペンチスルーを起し難いので、

61

共に備えた高耐圧の半導体集積回路装置が得られる利点を有する。

4. 図面の簡単な説明

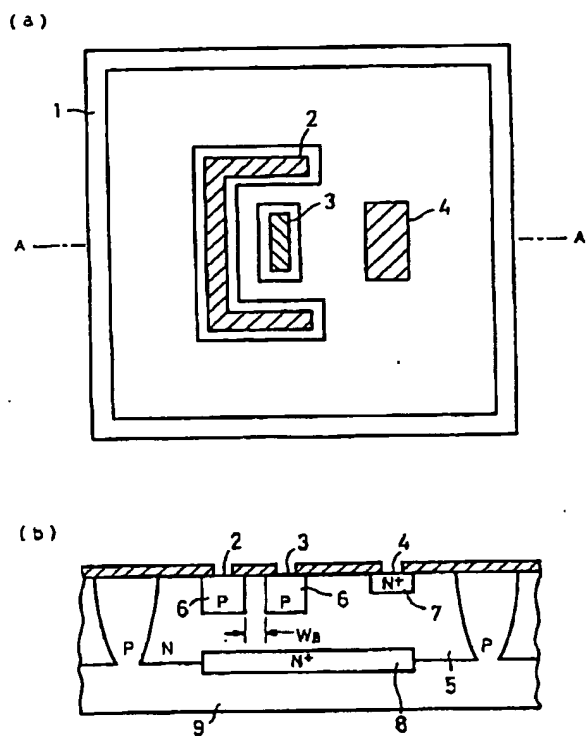
第1図(a)、(b)は従来のラテラルPNPトランジスタを示す平面図および断面図。第2図(a)、(b)はラテラルPNPトランジスタのラテラル方向の不純物濃度分布を示すもので、第2図(a)は従来のラテラルPNPトランジスタの不純物濃度分布を示す図、第2図(b)はこの発明によるラテラルPNPトランジスタの不純物濃度分布を示す図。第3図～第16図はこの発明の半導体集積回路装置の製造方法の一実施例を示す工程図である。

図中、11はP形(111)基板、12はN⁺形埋込層、13はP⁺形埋込層、14はベース領域、15は絶縁領域、16はシリコン酸化膜、17はシリコン窒化膜、22は高濃度ベース領域、23はエミッタ領域、24はコレクタ領域である。なお、図中の同一符号は同一または相当部分を示す。

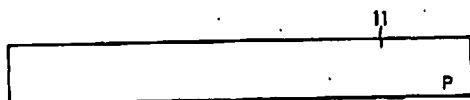
代理人 高野 信一 (外1名)

62

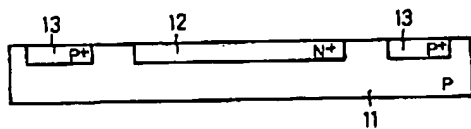
第 1 圖



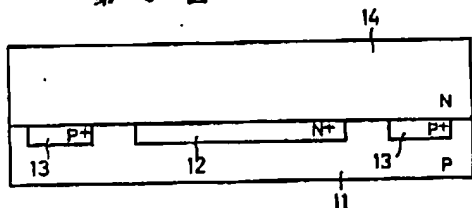
第 3 圖



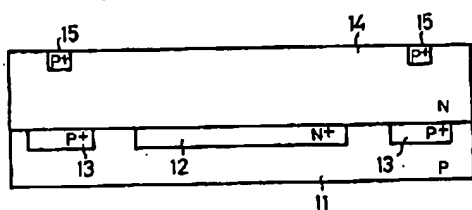
第 4 圖



第 5 圖

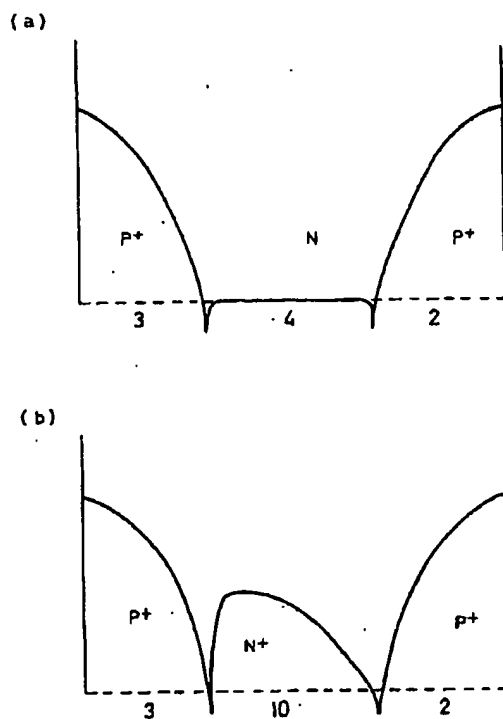


第 6 圖

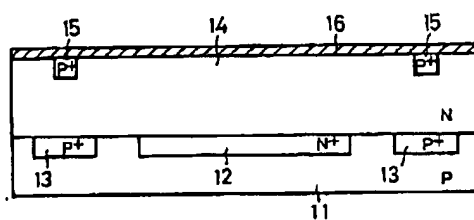


第 2 圖

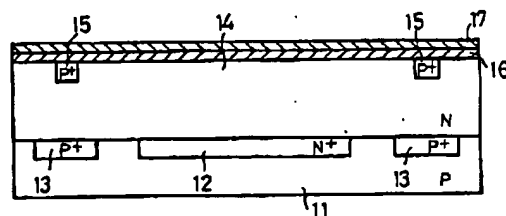
特開昭55-22875(9)



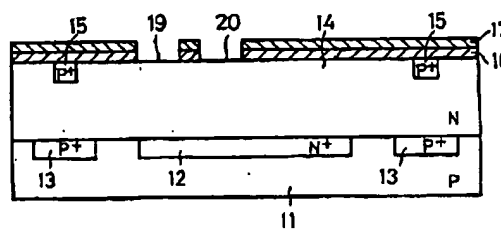
第 7 圖



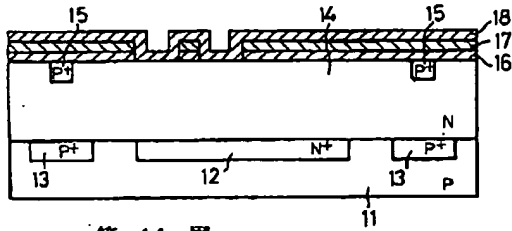
第 8 圖



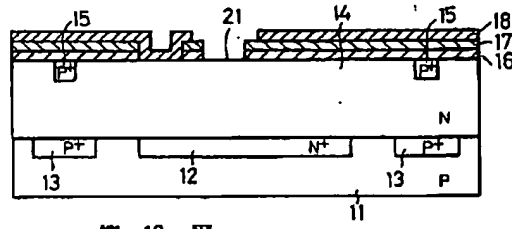
第 9 圖



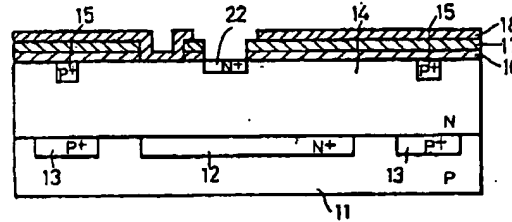
第 10 図



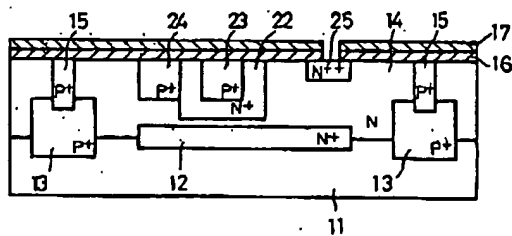
第 11 図



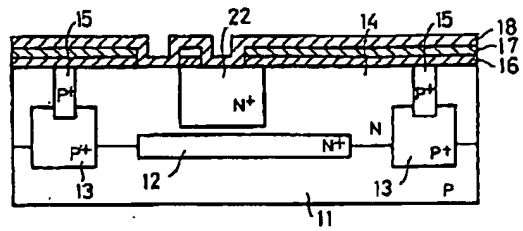
第 12 図



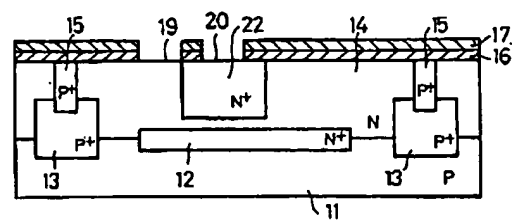
第 16 図



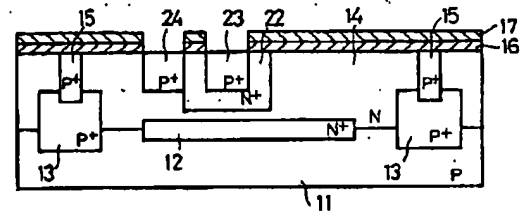
第 13 図



第 14 図



第 15 図



手続補正書 (自発)

昭和 53 年 10 月 21 日

特許庁長官殿

1. 事件の表示

特願昭 53-96895 号

2. 発明の名称

ラテラルトランジスタを備えた半導体
集積回路装置の製造方法

3. 補正をする者

事件との関係

特許出願人

住所
名称 (601)東京都千代田区丸の内二丁目2番3号
三菱電機株式会社
代表者 池 藤 貞 和

4. 代理人

住所

氏名(6699)

東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
弁護士 葛 野 信 一

特開昭55-22875(7)

5. 修正の対象

明細書の発明の詳細な説明の欄

6. 修正の内容

明細書第10頁8行に「 $1.0\mu = 2.72\mu$ 」とあるのを「 $1.0\mu = 2.72\mu$ 」と訂正する。

以 上

(3)